



ABSTRACT

(Korean Patent Application Laid-open No. 2001-0001735)

The present invention discloses a semiconductor device, which includes a trench type isolation film, and a method for the semiconductor device. The feature of the semiconductor device and the method related to the present invention are that the semiconductor device includes a trench type isolation film comprises a substrate; a trench formed on a surface of the substrate; a oxidization barrier layer including a nitride film formed on the entire surface of the substrate exposed through the trench; a first substance film filling a part of the trench in which the barrier layer formed; and a second substance film filling another part of the trench so that the first substance film not be exposed. The characteristic of filling a trench with a large aspect ratio improves by using poly silicone film as the first substance film. Since the semiconductor device comprises the oxidization barrier layer, which includes the nitride film, between the isolation film and the surface of the substrate exposed through the trench, an occurrence of a defect by stress, such as the SHALLOW PIT, in a following oxidization process is prevented.

T. HSB050922/SSK/abe

(19)大韓民国特許庁(KR)

(12)公開特許公報(A)

(51) Int. Cl. ⁶

(11) 公開番号 特 2001-0001735

H01L 21/76

(43) 公開日付 2001 年 01 月 05 日

(21) 出願番号 10-1999-0021152

(22) 出願日付 1999 年 6 月 8 日

(71) 出願人: 三星電子株式会社

(72) 発明者: ホン・スジン

(74) 代理人: イ・ヨンピル外 2 人

審査請求無し

(54) トレンチ型素子分離膜を備える半導体装置及びその製造方法

[要約]

トレンチ型素子分離膜を備える半導体装置及びその製造方法に関して開示されている。本発明は基板、上記基板に形成されたトレンチ、上記トレンチを通じて露出される基板の全面に形成された窒化膜を含む酸化障壁層、上記障壁層が形成されたトレンチの一部を埋め込む第 1 物質膜及び上記第 1 物質膜が露出されないように上記トレンチの残りを埋め込む第 2 物質膜からなるトレンチ型素子分離膜を備える半導体装置及びその製造方法を提供する。上記第 1 物質膜としてポリシリコンを用いることによって、縦横比(aspect ratio)が大きいトレンチの埋め込み(filling)特性が改善される。また、素子分離膜とトレンチを通じて露出される基板間に酸化障壁層即ち、窒化膜を備えることによって、後続

の酸化工程でストレスによるシャロウピット(SHALLOW PIT)のような欠陥が発生することを防止することができる。

[図面の簡単な説明]

図1～図6は本発明の実施例によるトレンチ型素子分離膜を備える半導体装置及びその製造方法を段階別にした断面図である。

[発明の詳細な説明]

本発明の実施例によるトレンチ型素子分離膜を備える半導体装置を説明する。

図6を参照すれば、基板(40)、例えば半導体基板に所定の深さで第1及び第2トレンチ(46, 46a)が形成されている。上記第1トレンチ(46)は基板のコア(core)領域に形成されたもので周辺回路領域に比べて相対的に素子の密度が高い領域に形成されたトレンチである。そして上記第2トレンチ(46a)はコア領域に比べて素子の密度が低い周辺回路領域に形成されたトレンチである。従って、上記第2トレンチ(46a)の幅は上記第1トレンチ(46)の幅に比べて広く形成されている。上記第1及び第2トレンチ(46, 46a)は第1及び第2物質膜パターン(54a, 56a)で埋め込まれているが、上記第1及び第2トレンチ(46, 46a)によって上記第1及び第2物質膜パターン(54a, 56a)の満たされた比率が異なる。

即ち、上記第1トレンチ(46)の場合、下部は上記第1物質膜パターン(54a)で、上部は上記第2物質膜パターン(56a)で、それぞれ埋め込まれている。しかし、上記第2トレンチ(46a)の場合、上記第1物質膜パターン(54a)は上記第2トレンチ(46a)の底の角部分に形成されており、残りの部分はいずれも上記第2物質膜パターン(56a)で埋め込まれている。上記第1物質膜パターン(54a)はポリシリコンであり、第2物質膜パターン(56a)はCVD酸化膜である。

本発明の他の実施例によれば、上記第 1 物質膜パターン(54a)は部分酸化したポリシリコン層であったり、完全に酸化したポリシリコン層であることもあり得る。即ち、シリコン酸化膜とポリシリコン層でなっていたり、シリコン酸化膜でなっていることもあり得る。

一方、上記第 1 及び第 2 トレンチ(46, 46a)を通じて露出される基板(40)の全面(以下、トレンチ内壁という)と上記第 1 及び第 2 物質層パターン(54a, 56a)は直接接触していない。即ち、上記第 1 及び第 2 トレンチ(46, 46a)の内壁と上記第 1 及び第 2 物質層パターン(54a, 56a)間に窒化膜を含む複数の障壁層(48, 50, 52)が形成されている。上記障壁層(48, 50, 52)は順次形成された第 1～第 3 絶縁膜(48, 50, 52)である。上記第 1 絶縁膜(48)は上記第 1 及び第 2 トレンチ(46, 46a)の内壁を安定化させて、後続の熱工程で上記第 2 絶縁膜(50)と上記第 1 及び第 2 トレンチ(46, 46a)を取り囲む基板(40)間の熱的ストレスを緩和させるための熱酸化膜である。上記第 2 絶縁膜(50)は窒化膜(SiN)であってその厚さは 50～300 Å 程度である。上記第 2 絶縁膜(50)は酸化障壁層(oxidation barrier)である。上記第 2 絶縁膜(50)は上記第 1 物質膜パターン(54a)形成後の酸化工程によるストレスによりトレンチ底の基板にシャロウピット(shallow pit)形成されることを防止する役割をする。上記第 3 絶縁膜(52)は HTO 膜または MTO 膜であって、その厚さは 100～500 Å 程度である。

次は上記のような各構成要素からなるトレンチ型素子分離膜を備える本発明の実施例による半導体装置の製造方法を説明する。

具体的には、図 1 を参照すれば、基板(40)上にパッド酸化膜(42)及び窒化膜(44)を順次形成する。上記窒化膜(44)上に感光膜(図示せず)を塗布した後に、パターンニングして上記基板(40)から活性領域へ設定された領域を覆う感光膜パターン(図示せず)を形成する。従って、上記窒化膜(44)の中から上記基板のフィールド領域を覆っている部分は露出される。上記感光膜パターンをエッチングマ

スクとして用いて上記窒化膜(44)及びパッド酸化膜(42)が露出された部分を順次除去する。以後、上記感光膜パターンを除去する。従って、上記基板(40)のフィールド領域はその界面が露出される反面、活性領域は上記窒化膜(44)及びパッド酸化膜(42)からなる積層物に覆われるようになる。上記窒化膜(44)及びパッド酸化膜(42)をエッチングマスクとして用いて上記基板(40)のフィールド領域に所定の深さを有する第1及び第2トレンチ(46, 46a)を形成する。上記第1トレンチ(46)は上記基板(40)のコア(core)領域に形成される。即ち、周辺回路領域に比べて素子の密度が高い領域に形成される。反面、上記第2トレンチ(46a)は上記コア領域に比べて相対的に素子密度が低い周辺回路領域に形成される。

図2を参照すれば、上記基板(40)に上記第1及び第2トレンチ(46, 46a)を形成した後、上記基板(40)の上記第1及び第2トレンチ(46, 46a)を通じて露出される全面に第1絶縁膜(48)を形成する。上記第1絶縁膜(48)は熱酸化膜で形成する。従って、上記第1絶縁膜(48)は上記パッド酸化膜(42)と連結され、二つの間には区分がなくなる。上記第1絶縁膜(48)が形成された結果物の全面に第2及び第3絶縁膜(50, 52)を順次形成する。上記第2絶縁膜(50)は酸化障壁層であって上記第1及び第2トレンチ(46, 46a)を物質膜、例えばポリシリコンで埋め込んだ後、進行される後続の酸化工程でストレスによりシャロウピットが形成されることを防止するための絶縁膜である。

従って、上記第2絶縁膜(50)は窒化膜(SiN)で形成することが望ましい。この時、上記窒化膜は50Å～300Å程度の厚さに形成することが望ましい。

一方、上記第3絶縁膜(52)は後続のエッチバック工程で上記第2絶縁膜(48)が損なわれることを防止するための絶縁膜であって、エッチング阻止膜として使われる。特に、上記第3絶縁膜(52)は後続工程で上記第1及び第2トレンチ(46, 46a)をポリシリコン層で埋め込んだ後、実施されるエッチバック工程でエッチング阻止膜として使われるので、上記ポリシリコン層に対するエッチング

選択比が高くなければならない。まさに、上記ポリシリコン層に比べてエッチング率のはるかに低い絶縁膜で形成することが望ましい。従って、上記第 3 絶縁膜(52)は酸化膜、特に MTO 膜または HTO 膜で形成することが望ましい。この時、上記第 3 絶縁膜(52)は 100 Å ~ 500 Å 程度の厚さに形成することが望ましい。

図 3 を参照すれば、上記第 3 絶縁膜(52)が形成された結果物の全面に上記第 1 及び第 2 トレンチ(46, 46a)を埋め込む第 1 物質膜(54)を形成する。上記第 1 物質膜(54)は上記第 1 及び第 2 トレンチ(46, 46a)、特にトレンチ幅が狭い上記第 1 トレンチ(46)を埋め込む特性に優れた物質膜で形成することが望ましい。また、上記のように、上記第 3 絶縁膜(52)は上記第 2 絶縁膜(50)のエッチング阻止膜として使われるので、上記第 1 物質膜(54)は上記第 3 絶縁膜(52)のこのような目的を達成することができる物質膜で形成することが望ましい。まさに、上記第 3 絶縁膜(52)に比べてエッチング率のはるかに低い物質膜で形成することが望ましい。従って、上記第 1 物質膜(54)はポリシリコン層で形成することが望ましい。この時、上記ポリシリコン層は非晶質シリコン層で形成することもできる。ポリシリコン層で形成する時、上記第 1 物質膜(54)は 500 Å ~ 2,000 Å 程度の厚さで形成することが望ましい。しかし、上記第 1 物質膜(54)は幅が狭いトレンチ、まさに上記第 1 トレンチ(54)を完全に埋め込むことができる程度の十分な厚さに形成することが望ましい。例えば、ターゲットのスペースが 0.3 μm であれば上記ポリシリコン層は少なくとも 0.15 μm 程度の厚さに形成することが望ましい。

図 4 を参照すれば、上記第 1 及び第 2 トレンチ(46, 46a)の一部を上記第 1 物質膜パターン(54a)で埋め込むが、これは上記第 1 物質膜(54)の全面をエッチバックすることにより、示された結果である。即ち、上記第 1 物質膜(54)の全面をエッチバックするが、上記第 1 トレンチ(46)で上記第 1 物質膜(54)の表面が上記基板(40)の表面より低くなるまで実施する。このようにすることによって、上記第 1 トレンチ(46)の下部を埋め込んで上記第 1 トレンチ(46)の縦横比

(aspect ratio)を減らす第1物質膜パターン(54a)が形成される。従って、後続で形成される上記第1及び第2トレンチ(46, 46a)を埋め込む物質膜に何らかの欠陥、例えばボイド(void)が形成されることを防止することができる。上記第1物質膜パターン(54a)で上記第1トレンチ(46)を埋め込む程度は後続のエッチング及び洗浄工程により上記第1トレンチ(46)の上方の残り部分を埋め込む物質膜がエッチングされても上記第1物質膜パターン(54a)が露出されない程度が望ましい。このようにすれば、後続のエッチング及び洗浄工程が進行されても上記第1物質膜パターン(54a)の露出によりブリッジが形成される問題は解消することができる。上記エッチバックにより上記第1物質膜パターン(54a)の表面より上に形成された上記第1物質膜(54)は全て除去される。しかし、この過程で上記第3絶縁膜(52)が損なわれて上記第2絶縁膜(50)が露出されてはならないので、上記エッチバックは酸化膜に対するポリシリコン層のエッチング選択比が高い装置を用いて実施することが望ましいのである。上記エッチバックは乾式または湿式エッチングで実施する。

上記第1トレンチ(46)に比べて相対的に幅が広い上記第2トレンチ(46a)には底の角部分にのみ上記第1物質膜パターン(54a)が形成される。従って、上記第2トレンチ(46a)の底の真ん中部分は大部分露出される。

一方、本発明の他の実施例によれば、上記エッチバックを実施した後、上記第1物質膜パターン(54a)の表面より高い所に、特に活性領域のコーナー部分に上記第1物質膜(54)の残留物があることに備えて上記第1物質膜パターン(54a)が形成された結果物に対して酸化工程をさらに実施することもできる。このようにすることによって、上記第1物質膜(54)の上記残留物は全て酸化することができる。また、上記第1物質膜パターン(54a)の露出された部分の一部酸化して上記第1物質膜パターン(54a)の露出された表面にシリコン酸化膜が形成される。結局、本発明の他の実施例において上記第1物質膜パターン(54a)はシリコン酸化膜がポリシリコン層を囲まれる形態で形成される。

図 5 を参照すれば、上記第 1 物質膜パターン(54)で上記第 1 及び第 2 トレンチ(46, 46a)の一部が満たされた結果物の全面に上記第 1 及び第 2 トレンチ(46, 46a)の残り部分を埋め込む第 2 物質膜(56)を形成する。上記第 2 物質膜(56)は CVD 酸化膜で形成することが望ましい。以後、上記第 1 及び第 2 トレンチ(46, 46a)を埋め込む物質膜の緻密化(Densification)のためにアニール工程を進行する。上記アニール工程は窒素(N₂)アニール工程を用いる。

一方、本発明の他の実施例によれば、上記アニール工程により上記第 1 物質膜(54)、まさにポリシリコン層のそとで露出された部分またはその残留物を酸化させるために、湿式アニール(wet anneal)や酸素アニール(O₂ anneal)工程を用いることもできる。このような工程で、上記第 1 物質膜パターン(54a)の一部が酸化したり全てが酸化することがある。

上記アニール工程後、上記第 2 物質膜(56)の全面を上記基板(40)の表面が露出されるまで平坦化すると、上記第 1 物質膜パターン(54a)及び第 2 物質膜パターン(56a)からなるトレンチ型素子分離膜が上記第 1 及び第 2 トレンチ(46, 46a)に形成される。

上記の説明で多くの事項が具体的に記載されているが、それらは発明の範囲を限定するものというより、望ましい実施例の例示として解釈されなければならない。たとえば、発明の属する技術分野において通常の知識を有する者であれば上記第 1～第 3 絶縁膜(48, 50, 52)または上記第 1 及び第 2 物質膜(54, 56)として上記言及したもの以外の他の絶縁膜や物質膜を用いることができる。また、上記第 1～第 3 絶縁膜(48, 50, 52)の形成概念をトレンチ型素子分離膜以外の他の形態の素子分離膜形成に適用することができるのは明白である。従って、本発明の範囲は説明された実施例によって定められるものではなく、特許請求の範囲に記載された技術的思想により定められなければならない。

[発明の効果]

上述した通り、本発明は狭いトレンチを埋め込む特性に優れたポリシリコン層でその一部を埋め込む前に上記トレンチを通じて露出される基板の全面に酸化障壁層即ち、窒化膜を形成する。このようにすれば、上記トレンチにポリシリコンを埋め込んだ後に酸化工程を実施してもストレスによるシャロウピットのような欠陥が発生することを防止することができる。

[特許請求の範囲]

基板；

上記基板に形成されたトレンチ；

上記トレンチを通じて露出される基板の全面に形成された窒化膜を含む障壁層；

上記障壁層が形成されたトレンチの一部を埋め込む第 1 物質膜；及び上記第 1 物質膜が露出されないように上記トレンチの残りを埋め込む第 2 物質膜を備えることを特徴とするトレンチ型素子分離膜を備える半導体装置。

(19)대한민국특허청(KR)
(12) 공개특허공보(A)51) Int. Cl. 6
I01L 21/76(11) 공개번호 특2001-0001735
(43) 공개일자 2001년01월05일21) 출원번호 10-1999-0021152
22) 출원일자 1999년06월08일71) 출원인 삼성전자 주식회사 윤종용
경기도 수원시 팔달구 매탄3동 416
72) 발명자 홍수진
서울특별시동작구노량진2동294-201
74) 대리인 이영필
권석흠
정상빈

심사청구 : 없음

54) 트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법

요약

트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법에 관해 개시되어 있다. 본 발명은 기판, 상기 기판에 형성된 트랜치, 상기 트랜치를 통해서 노출되는 기판의 전면에 형성된 질화막을 포함하는 산화 장벽층, 상기 장벽층이 형성된 트랜치의 일부를 채운 제1 물질막 및 상기 제1 물질막이 노출되지 않게 상기 트랜치의 나머지를 채운 제2 물질막으로 이루어진 트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법을 제공한다. 상기 제1 물질막으로써 폴리실리콘을 사용함으로써 종횡비(aspect ratio)가 큰 트랜치의 매립(filling) 특성이 개선된다. 또한, 소자분리막과 트랜치를 통해서 노출되는 기판 사이에 산화 장벽층 즉, 질화막을 구비함으로써 후속 산화공정에서 스트레스에 의한 셀로우 피트와 같은 결함이 발생하는 것을 방지할 수 있다.

대표도

도6.

명세서

도면의 간단한 설명

도 1 내지 도 6은 본 발명의 실시예에 의한 트랜치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법을 단계별로 나타낸 단면도이다.

도면의 주요 부분에 대한 부호설명

10:반도체 기판, 42:패드 산화막.

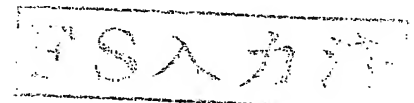
14:질화막, 46, 46a:제1 및 제2 트랜치.

18, 50, 52:제1 내지 제3 절연막.

54, 56:제1 및 제2 물질막.

발명의 상세한 설명

발명의 목적



발명이 속하는 기술 및 그 분야 중 기술

본 발명은 반도체 장치 및 그 제조방법에 관한 것으로서, 자세하게는 트렌치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법에 관한 것이다.

트렌치형 소자분리방법은 반도체 장치가 고집적화 되는 상황에서 기판에 형성되는 소자들을 전기적으로 보다 효과적으로 분리시키기 위해 제시된 방법으로 기판에 얇은 트렌치를 형성한 다음 절연막을 채워 소자분리막을 형성하는 방법이다.

그런데, 반도체 장치의 디자인 룰이 작아지면서 기판에서 트렌치가 형성될 수 있는 영역이 작아져서 트렌치의 종횡비가 급격히 증가된다. 이렇게 되면서 트렌치의 매립 특성이 저하되는 문제가 발생된다. 따라서, 일반적으로는 USG(Undoped Silicate Glass)막등과 같은 CVD(Chemical Vapor Deposition)막으로 트렌치를 채울 수 없는 경우, HDP(High Density Plasma)를 이용한 막이나 고온 USG 막으로 트렌치를 채운다. 그러나, 트렌치의 종횡비가 3.0이상이 되면 비록 HDP를 이용한 막으로 트렌치를 채운다 하더라도 그 안에 코이드(void)가 형성되는 등의 문제가 발생된다.

이를 개선하기 위해, 종래 기술은 매립 특성이 우수한 폴리 실리콘층으로 고 종횡비의 트렌치를 채우는 방법을 제시한 바 있다. 이에 따르면, 폴리 실리콘층을 사용함으로써 고 종횡비를 갖는 트렌치를 채울 수는 있으나, 후속 산화공정에서 발생하는 스트레스로 인해 트렌치 바닥의 기판에 셀로우 피트(shallow pit) 등과 같은 결점결함이 발생하는 문제가 있다.

발명이 이루고자 하는 기술적 과제

다라서, 본 발명이 이루고자 하는 기술적 과제는 상술한 종래 기술이 갖는 문제점을 해소하기 위한 것으로서, 미세 트렌치에 대한 매립 특성을 높이면서 그에 수반되는 후속 산화공정에서의 부작용, 즉 셀로우 피트가 발생하는 것을 방지할 수 있는 트렌치형 소자분리막을 구비하는 반도체 장치를 제공함에 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상기의 특성을 갖는 트렌치형 소자분리막을 구비하는 반도체 장치의 제조방법을 제공함에 있다.

발명의 구성 및 작용

본 발명 기술적 과제를 달성하기 위하여, 본 발명은 기판, 상기 기판에 형성된 트렌치, 상기 트렌치를 통해서 노출되는 기판의 전면에 형성된 절화막을 포함하는 장벽층, 상기 장벽층이 형성된 트렌치의 일부를 채운 제1 물질막 및 상기 제1 물질막이 노출되지 않게 상기 트렌치의 나머지를 채운 제2 물질막을 구비하는 것을 특징으로 하는 트렌치형 소자분리막을 구비하는 반도체 장치를 제공한다.

본 발명의 실시예에 의하면, 상기 장벽층은 제1 내지 제3 절연막으로 이루어져 있으며, 상기 제1 절연막은 열 산화막이고, 상기 제2 절연막은 질화막이며, 상기 제3 절연막은 산화막으로써, MTO(Medium Temperature Oxide)막 또는 HTO(High Temperature Oxide)막이다.

여기서, 상기 제1 물질막은 미세 트렌치를 채우는 특성이 우수한 물질막으로써 상기 트렌치의 종횡비를 낮추는 역할을 하며 폴리 실리콘층 또는 비정질(amorphous) 실리콘층이다. 그리고 상기 제2 물질막은 화학기상증착(Chemical Vapor Deposition, 이하, CVD라 함) 산화막이다. 그리고 상기 제2 절연막의 두께는 50 Å ~ 300 Å 정도이고, 상기 제3 절연막은 100 Å ~ 500 Å 정도 이다.

본 발명의 실시예에 의하면, 상기 제1 물질막은 산화막과 폴리 실리콘층으로 이루어져 있거나, 전부가 산화막이다.

본 발명 다른 기술적 과제를 달성하기 위하여, 본 발명은 기판에 트렌치를 형성하는 단계; 상기 트렌치를 통해서 노출되는 기판의 전면에 제1 절연막을 형성하는 단계; 상기 기판 상에 상기 제1 절연막의 전면을 덮는 제2 및 제3 절연막을 순차적으로 형성하는 단계; 상기 제3 절연막 상에 상기 트렌치를 채우는 제1 물질막을 형성하는 단계; 상기 제1 물질막을 식각하여 상기 트렌치의 일부를 상기 제1 물질막으로 채워, 그 표면이 상기 기판의 표면보다 낮게 될 때까지 상기 제1 물질막을 식각하는 단계; 상기 기판 상에 상기 트렌치의 나머지를 채우는 제2 물질막을 형성하는 단계; 상기 제2 물질막의 전면을 상기 기판의 표면이 노출될 때 까지 평탄화 하는 단계; 및 상기 평탄화 한 후의 결과물을 어닐링하는 단계를 포함하는 것을 특징으로 하는 트렌치형 소자분리막을 구비하는 반도체 장치의 제조방법을 제공한다.

본 발명의 실시예에 의하면, 상기 제1 내지 제3 절연막은 각각 열 산화막, 질화막(SiN) 및 MTO막 또는 HTO막으로 형성한다. 그리고 상기 제1 및 제2 물질막은 각각 폴리 실리콘층 및 CVD 산화막으로 형성한다. 상기 제1 물질막은 비정질 폴리 실리콘층으로 형성할 수도 있다.

그리고 상기 제1 물질막의 전면을 에치 백하여 식각하되, 습식 또는 건식 식각을 이용한다.

한, 상기 평탄화 후에 실시하는 어닐링은 질소(N₂)어닐, 습식 어닐 또는 산소 어닐이다.

본 발명의 다른 실시예에 의하면, 상기 제1 물질막으로 상기 트렌치의 일부를 채운 후 산화 공정을 실시할 수 있다.

이와 같이, 폴리 실리콘층을 포함하는 트렌치형 소자분리막과 트렌치를 통해서 노출되는 기판 사이에 산화 장벽층 즉, 질화막을 구비함으로써 후속 산화공정에서 스트레스에 의한 셀로우 피트와 같은 결함이 발생하는 것을 방지할 수 있다.

이하, 본 발명의 실시예에 의한 트렌치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법을 첨부된 도면들을 참조하여 상세하게 설명한다.

그러나 본 발명의 실시예들은 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들에 한정되는 것으로 해석되어져서는 안된다. 본 발명의 실시예는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위해서 제공되어지는 것이다. 도면에서 층이나 영역들의 두께는 명세서의 명확성을 위해 과장되어진 것이다. 도면상에서 동일한 부호는 동일한 요소를 지칭한다.

첨부된 도면들 중, 도 1 내지 도 6은 본 발명의 실시예에 의한 트렌치형 소자분리막을 구비하는 반도체 장치 및 그 제조방법을 단계별로 나타낸 단면도이다.

먼저, 본 발명의 실시예에 의한 트렌치형 소자분리막을 구비하는 반도체 장치를 설명한다.

도 6을 참조하면, 기판(40), 예컨대 반도체 기판에 소정의 깊이로 제1 및 제2 트렌치(46, 46a)가 형성되어 있다. 상기 제1 트렌치(46)는 기판의 코어(core)영역에 형성된 것으로 주변회로영역에 비해 상대적으로 소자들의 밀도가 높은 영역에 형성된 트렌치이다. 그리고 상기 제2 트렌치(46a)는 코어 영역에 비해 소자들의 밀도가 낮은 주변회로 영역에 형성된 트렌치이다. 따라서, 상기 제2 트렌치(46a)의 폭은 상기 제1 트렌치(46)의 폭에 비해 넓게 형성되어 있다. 상기 제1 및 제2 트렌치(46, 46a)는 제1 및 제2 물질막 패턴(54a, 56a)으로 채워져 있는데, 상기 제1 및 제2 트렌치(46, 46a)에 따라 상기 제1 및 제2 물질막 패턴(54a, 56a)의 채워진 비율이 다르다.

즉, 상기 제1 트렌치(46)의 경우, 하부는 상기 제1 물질막 패턴(54a)으로, 상부는 상기 제2 물질막 패턴(56a)으로 각각 채워져 있다. 그러나, 상기 제2 트렌치(46a)의 경우, 상기 제1 물질막 패턴(54a)은 상기 제2 트렌치(46a)의 바닥의 모서리 부분에 형성되어 있고, 나머지 부분은 모두 상기 제2 물질막 패턴(56a)으로 채워져 있다. 상기 제1 물질막 패턴(54a)은 폴리 실리콘이고, 제2 물질막 패턴(56a)은 CVD 산화막이다.

본 발명의 다른 실시예에 의하면, 상기 제1 물질막 패턴(54a)은 부분 산화된 폴리 실리콘층이거나 완전히 산화된 폴리실리콘층일 수 있다. 즉, 실리콘 산화막과 폴리실리콘층으로 이루어져 있거나, 실리콘 산화막으로 이루어져 있을 수 있다.

한편, 상기 제1 및 제2 트렌치(46, 46a)를 통해서 노출되는 기판(40)의 전면(이하, 트렌치 내벽이라 함)과 상기 제1 및 제2 물질층 패턴(54a, 56a)은 직접 접촉되어 있지 않다. 즉, 상기 제1 및 제2 트렌치(46, 46a)의 내벽과 상기 제1 및 제2 물질층 패턴(54a, 56a) 사이에 질화막을 포함하는 복수개의 장벽층(48, 50, 52)이 형성되어 있다. 상기 장벽층(48, 50, 52)은 순차적으로 형성된 제1 내지 제3 절연막(48, 50, 52)이다. 상기 제1 절연막(48)은 상기 제1 및 제2 트렌치(46, 46a)의 내벽을 안정화시키며, 후속 열 공정에서 상기 제2 절연막(50)과 상기 제1 및 제2 트렌치(46, 46a)를 둘러싸는 기판(40)사이의 열적 스트레스를 완화시키기 위한 것으로서 열 산화막이다. 상기 제2 절연막(50)은 질화막(SiN)으로써 그 두께는 50~300 Å 정도이다. 상기 제2 절연막(50)은 산화 장벽층(oxidation barrier)이다. 상기 제2 절연막(50)은 상기 제1 물질막 패턴(54a) 형성 후의 산화공정에 의한 스트레스에 의해 트렌치 바닥의 기판에 셀로우 피트(shallow pit) 형성되는 것을 방지하는 역할을 한다. 상기 제3 절연막(52)은 HTO막 또는 MTO막으로써 그 두께는 200~500 Å 정도이다.

다음에는 상기한 바와 같은 구성요소들로 이루어진 트렌치형 소자분리막을 구비하는 본 발명의 실시예에 의한 반도체 장치의 제조방법을 설명한다.

예컨대, 도 1을 참조하면, 기판(40) 상에 패드 산화막(42) 및 질화막(44)을 순차적으로 형성한다. 상기 질화막(44) 상에 감광막(미도시)을 도포한 다음 패턴링하여 상기 기판(40)에서 활성영역으로 설정된 영역을 덮는 감광막 패턴(미도시)을 형성한다. 따라서, 상기 질화막(44)중에서 상기 기판의 필드영역을 덮고 있는 부분은 노출된다. 상기 감광막 패턴을 식각마스크로 사용하여 상기 질화막(44) 및 패드 산화막(42)이 노출된 부분을 순차적으로 제거한다. 이후, 상기 감광막 패턴을 제거한다. 따라서, 상기 기판(40)의 필드영역은 그 계면이 노출되는 반면, 활성영역은 상기 질화막(44) 및 패드 산화막(42)으로 이루어진 적층물에 덮히게 된다. 상기 질화막(44) 및 패드 산화막(42)을 식각마스크로 사용하여 상기 기판(40)의 필드영역에 소정의 깊이를 갖는 제1 및 제2 트렌치(46, 46a)를 형성한다. 상기 제1 트렌치(46)는 상기 기판(40)의 코어(core)영역에 형성된다. 즉, 주변회로영역에 비해 소자들의 밀도가 높은 영역에 형성된다. 반면, 상기 제2 트렌치(46a)는 상기 코어영역에 비해 상대적으로 소자 밀도가 낮은 주변회로영역에 형성된다.

도 2를 참조하면, 상기 기판(40)에 상기 제1 및 제2 트렌치(46, 46a)를 형성한 후, 상기 기판(40)의 상기 제1 및 제2 트렌치(46, 46a)를 통해서 노출되는 전면에 제1 절연막(48)을 형성한다. 상기 제1 절연막(48)은 열 산화막으로 형성한다. 따라서, 상기 제1 절연막(48)은 상기 패드 산화막(42)과 연결되어 둘 사이에는 구분이 없어진다. 상기 제1 절연막(48)이 형성된 결과물의 전면에 제2 및 제3 절연막(50, 52)을 순차적으로 형성한다. 상기 제2 절연막(50)은 산화 장벽층으로써 상기 제1 및 제2 트렌치(46, 46a)를 물질막, 예컨

대 폴리 실리콘층으로 채운 뒤 진행되는 후속 공화공정에서 스트레스에 의해 셀로우 피트가 형성되는 것을 방지하기 위한 절연막이다. 따라서, 상기 제2 절연막(50)은 질화막(SiN)으로 형성하는 것이 바람직하다. 이때, 상기 질화막은 50 Å ~ 300 Å 정도의 두께로 형성하는 것이 바람직하다.

한편, 상기 제3 절연막(52)은 후속 에치 백 공정에서 상기 제2 절연막(48)이 손상되는 것을 방지하기 위한 절연막으로써 식각저지막으로 사용된다. 특히, 상기 제3 절연막(52)은 후속 공정에서 상기 제1 및 제2 트랜치(46, 46a)를 폴리실리콘층으로 채운 후 실시되는 에치 백 공정에서 식각 저지막으로 사용되므로, 상기 폴리 실리콘층에 대한 식각 선택비가 높아야 한다. 곧, 상기 폴리 실리콘층에 비해 식각율이 훨씬 낮은 절연막으로 형성하는 것이 바람직하다. 따라서, 상기 제3 절연막(52)은 산화막, 특히 MTO막 또는 HTO막으로 형성하는 것이 바람직하다. 이때, 상기 제3 절연막(52)은 100 Å ~ 500 Å 정도의 두께로 형성하는 것이 바람직하다.

도 3을 참조하면, 상기 제3 절연막(52)이 형성된 결과물 전면에서 상기 제1 및 제2 트랜치(46, 46a)를 채우는 제1 물질막(54)을 형성한다. 상기 제1 물질막(54)은 상기 제1 및 제2 트랜치(46, 46a), 특히 트랜치 폭이 좁은 상기 제1 트랜치(46)를 채우는 특성이 우수한 물질막으로 형성하는 것이 바람직하다. 또한, 상기한 바와 같이, 상기 제3 절연막(52)은 상기 제2 절연막(50)의 식각 저지막으로 사용되므로, 상기 제1 물질막(54)은 상기 제3 절연막(52)의 이러한 목적을 달성할 수 있는 물질막으로 형성하는 것이 바람직하다. 곧, 상기 제3 절연막(52)에 비해 식각율이 훨씬 낮은 물질막으로 형성하는 것이 바람직하다. 따라서, 상기 제1 물질막(54)은 폴리 실리콘층으로 형성하는 것이 바람직하다. 이때, 상기 폴리 실리콘층은 비정질 실리콘층으로 형성할 수도 있다. 폴리 실리콘층으로 형성할 때, 상기 제1 물질막(54)은 500 Å ~ 2,000 Å 정도의 두께로 형성하는 것이 바람직하다. 그러나, 상기 제1 물질막(54)은 폭이 좁은 트랜치, 곧 상기 제1 트랜치(54)를 완전히 채울 수 있을 정도의 충분한 두께로 형성하는 것이 바람직하다. 예컨대, 타겟의 스페이스가 0.3 μm라면 상기 폴리 실리콘층은 적어도 0.15 μm 정도의 두께로 형성하는 것이 바람직하다.

도 4를 참조하면, 상기 제1 및 제2 트랜치(46, 46a)의 일부를 상기 제1 물질막 패턴(54a)으로 채우는데, 이것은 상기 제1 물질막(54)의 전면을 에치 백함으로써 나타난 결과이다. 즉, 상기 제1 물질막(54)의 전면을 에치 백하되, 상기 제1 트랜치(46)에서 상기 제1 물질막(54)의 표면이 상기 기판(40)의 표면보다 낮아질 때까지 실시한다. 이렇게 함으로써, 상기 제1 트랜치(46)의 하부를 채워 상기 제1 트랜치(46)의 증형비(aspect ratio)를 줄이는 제1 물질막 패턴(54a)이 형성된다. 따라서, 후속으로 형성되는 상기 제1 및 제2 트랜치(46, 46a)를 채우는 물질막에 어떤 결함, 예컨대 보이드(void)가 형성되는 것을 방지할 수 있다. 상기 제1 물질막 패턴(54a)으로 상기 제1 트랜치(46)를 채우는 정도는 후속 식각 및 세정공정에 의해 상기 제1 트랜치(46)의 위쪽 나머지 부분을 채운 물질막이 식각 더더라도 상기 제1 물질막 패턴(54a)이 노출되지 않을 정도가 바람직하다. 이렇게 하면, 후속 식각 및 세정공정이 진행되더라도 상기 제1 물질막 패턴(54a)의 노출에 의해 브리지가 형성되는 문제는 해소할 수 있다. 상기 에치 백에 의해 상기 제1 물질막 패턴(54a)의 표면보다 위에 형성된 상기 제1 물질막(54)은 모두 제거된다. 그러나, 이 과정에서 상기 제3 절연막(52)이 손상되어 상기 제2 절연막(50)이 노출되어서는 안되므로, 상기 에치 백은 산화막에 대한 폴리 실리콘층의 식각 선택비가 높은 장비를 사용하여 실시하는 것이 바람직할 것이다. 상기 에치 백은 건식 또는 습식식각으로 실시한다.

상기 제1 트랜치(46)에 비해 상대적으로 폭이 넓은 상기 제2 트랜치(46a)에는 바닥의 모서리 부분에만 상기 제1 물질막 패턴(54a)이 형성된다. 따라서, 상기 제2 트랜치(46a)의 바닥의 가운데 부분은 대부분 노출된다.

한편, 본 발명의 다른 실시예에 의하면, 상기 에치 백을 실시한 후 상기 제1 물질막 패턴(54a)의 표면보다 높은 곳에, 특히 활성영역 코너 부분에 상기 제1 물질막(54)의 잔류물이 있을 것에 대비하여 상기 제1 물질막 패턴(54a)이 형성된 결과물에 대해 산화공정을 실시할 수도 있다. 이렇게 함으로써, 상기 제1 물질막(54)의 상기 잔류물들은 모두 산화될 수 있다. 또한, 상기 제1 물질막 패턴(54a)의 노출된 부분의 일부 산화되어 상기 제1 물질막 패턴(54a)의 노출된 표면에 실리콘 산화막이 형성될 수 있다. 결국, 본 발명의 다른 실시예에서 상기 제1 물질막 패턴(54a)은 실리콘 산화막이 폴리 실리콘층을 감싸는 형태로 형성될 수 있다.

도 5를 참조하면, 상기 제1 물질막 패턴(54)으로 상기 제1 및 제2 트랜치(46, 46a)의 일부가 채워진 결과물 전면에서 상기 제1 및 제2 트랜치(46, 46a)의 나머지 부분을 채우는 제2 물질막(56)을 형성한다. 상기 제2 물질막(56)은 CVD산화막으로 형성하는 것이 바람직하다. 이후, 상기 제1 및 제2 트랜치(46, 46a)를 채운 물질막의 치밀화(Densification)를 위해 어닐공정을 진행한다. 상기 어닐공정은 소(N₂)어닐공정을 이용한다.

한편, 본 발명의 다른 실시예에 의하면, 상기 어닐 공정으로써 상기 제1 물질막(54), 곧 폴리 실리콘층의 밖으로 노출된 부분 또는 그 류물을 산화시키기 위해, 습식 어닐(wet anneal)이나 산소 어닐(O₂ anneal)공정을 이용할 수도 있다. 이러한 공정으로, 상기 제1 물질막 패턴(54a)의 일부가 산화되거나 모두가 산화될 수 있다.

기 어닐 공정후, 상기 제2 물질막(56)의 전면을 상기 기판(40)의 표면이 노출될 때까지 평탄화하면, 상기 제1 물질막 패턴(54a) 및 제2 물질막 패턴(56a)으로 이루어지는 트랜치형 소자분리막이 상기 제1 및 제2 트랜치(46, 46a)에 형성된다.

기한 설명에서 많은 사항이 구체적으로 기재되어 있으나, 그들은 발명의 범위를 한정하는 것이라기 보다, 바람직한 실시예의 예시로서 해석되어야 한다. 예를 들어 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 상기 제1 내지 제3 절연막(48, 50, 52)은 상기 제1 및 제2 물질막(54, 56)으로 상기 언급한 것외의 다른 절연막이나 물질막을 사용할 수 있을 것이다. 또한, 상기 제1 내지 제3 절연막(48, 50, 52)의 형성개념을 트랜치형 소자분리막 외의 다른 형태의 소자분리막 형성에 적용할 수 있을 것이 명백하다. 본 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

발명의 효과

상술한 바와 같이, 본 발명은 좁은 트렌치를 채우는 특성이 우수한 폴리 실리콘층으로 그 일부를 채우기 전에 상기 트렌치를 통해 노출되는 기판의 전면에 산화 장벽층 즉, 질화막을 형성한다. 이렇게 하면, 상기 트렌치에 폴리 실리콘을 채운 후에 산화공정을 실시하더라도 스트레스에 의한 셀로우 피트와 같은 결함이 발생하는 것을 방지할 수 있다.

‘57)청구의 범위

청구항1

기판;

상기 기판에 형성된 트렌치;

상기 트렌치를 통해서 노출되는 기판의 전면에 형성된 질화막을 포함하는 장벽층;

상기 장벽층이 형성된 트렌치의 일부를 채운 제1 물질막; 및

상기 제1 물질막이 노출되지 않게 상기 트렌치의 나머지를 채운 제2 물질막을 구비하는 것을 특징으로 하는 트렌치형 소자분리막을 구비하는 반도체 장치.

청구항2

제 1 항에 있어서, 상기 장벽층은 제1 내지 제3 절연막으로 이루어져 있으며, 상기 제1 절연막은 열 산화막이고, 상기 제2 절연막은 질화막이며, 상기 제3 절연막은 MTO막 또는 HTO막인 것을 특징으로 하는 트렌치형 소자분리막을 구비하는 반도체 장치.

청구항3

제 1 항에 있어서, 상기 제1 물질막은 매립 특성이 우수한 물질막으로써 상기 트렌치의 종횡비를 낮추는 역할을 하는 일부 또는 전부 산화된 폴리 실리콘층이나 비정질(amorphous) 폴리 실리콘층이고, 상기 제2 물질막은 CVD 산화막인 것을 특징으로 하는 트렌치형 소자분리막을 구비하는 반도체 장치.

청구항4

기판에 트렌치를 형성하는 단계;

상기 트렌치를 통해서 노출되는 기판의 전면에 제1 절연막을 형성하는 단계;

상기 기판 상에 상기 제1 절연막의 전면을 덮는 제2 및 제3 절연막을 순차적으로 형성하는 단계;

상기 제3 절연막 상에 상기 트렌치를 채우는 제1 물질막을 형성하는 단계;

상기 제1 물질막을 식각하여 상기 트렌치의 일부를 상기 제1 물질막으로 채우되, 그 표면이 상기 기판의 표면보다 낮게 될 때까지 상기 제1 물질막을 식각하는 단계;

상기 기판 상에 상기 트렌치의 나머지를 채우는 제2 물질막을 형성하는 단계;

상기 제2 물질막의 전면을 상기 기판의 표면이 노출될 때 까지 평탄화 하는단계; 및

상기 평탄화 후의 결과물을 어닐링하는 단계를 포함하는 것을 특징으로 하는 트렌치형 소자분리막을 구비하는 반도체 장치의 제조방법.

청구항5

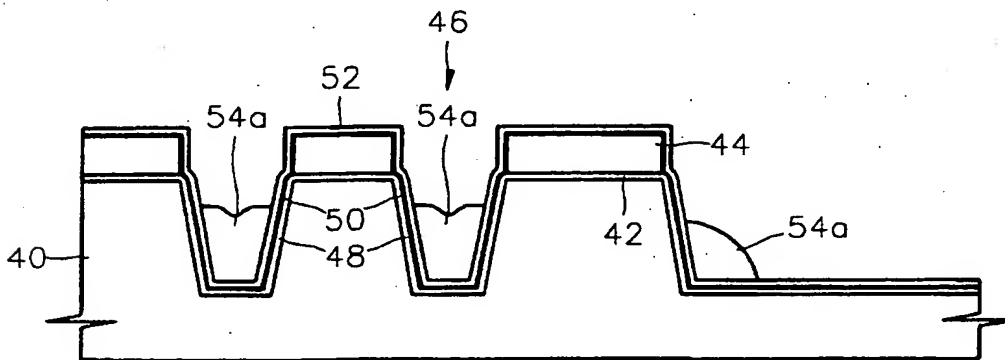
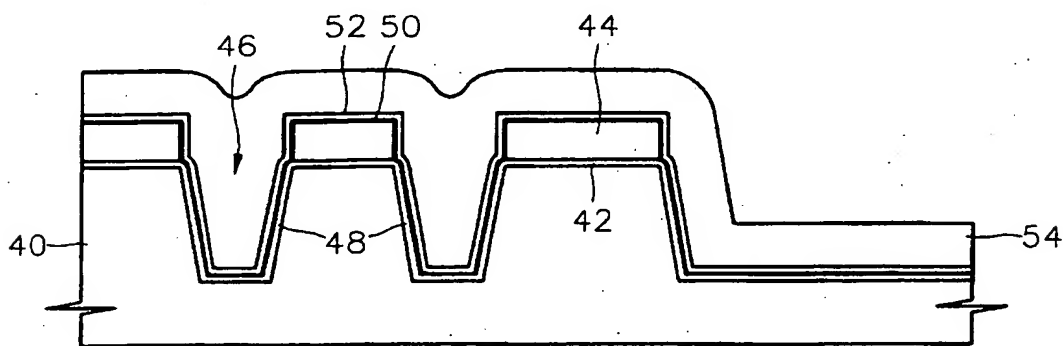
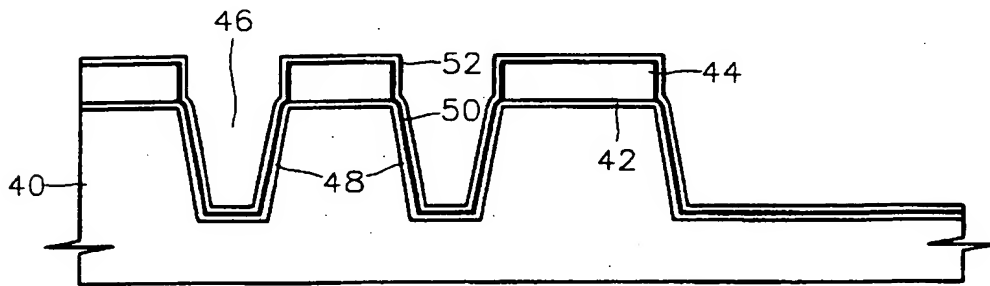
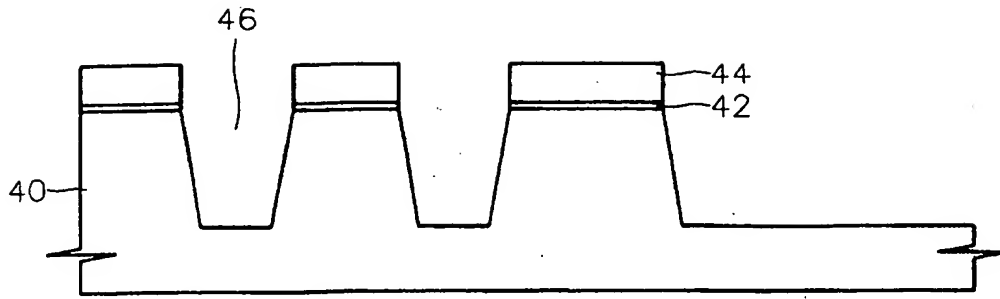
제 4 항에 있어서, 상기 제2 절연막은 질화막(SiN)으로 형성하고, 상기 제3 절연막은 MTO막 또는 HTO막으로 형성하고, 상기 제1 및 제2 물질막은 각각 폴리 실리콘층 및 CVD 산화막으로 형성하는 것을 특징으로 하는 트렌치형 소자분리막을 구비하는 반도체 장치의 제조방법.

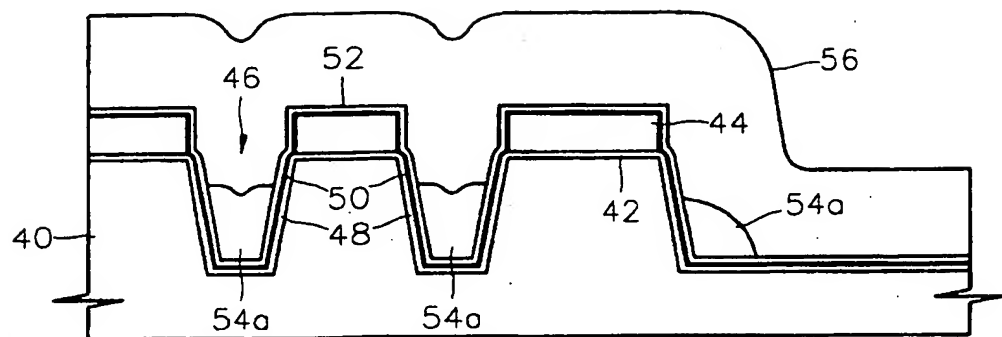
청구항6

제 4 항에 있어서, 상기 평탄화 후에 실시하는 어닐링은 질소 어닐, 습식 어닐 또는 산소 어닐인 것을 특징으로 하는 트렌치형 소자분리막을 구비하는 반도체 장치의 제조방법.

면

도면1





도면6

